

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-094071

(43)Date of publication of application : 06.04.2001

(51)Int.Cl.

H01L 27/108  
H01L 21/8242

(21)Application number : 11-267625

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 21.09.1999

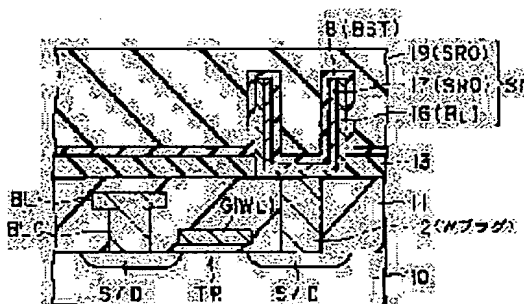
(72)Inventor : KOYAMA HIROSUKE

## (54) SEMICONDUCTOR MEMORY DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To suppress increase in a production process and a rise in cost, and to increase the capacitance of a capacitor.

SOLUTION: In a cell capacitor, a storage node electrode SN is constituted of an Ru film 16 and an SRO film 17, a capacitor insulating film is constituted of a BST film 18, and a cell plate electrode is constituted of an SRO film 19. When the storage node electrode SN is formed as a laminated structure of the Ru film 16 and the SRO film 17, contact failures of the SRO film with a tungsten plug 12 can be prevented. In addition, when the inside wall surface of the cell capacitor is formed as a structure of the SRO film, the BST film and the SRO film, an increase in the number of processes is prevented, and the capacitance of a capacitor can be increased.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2001-94071  
(P2001-94071A)

(43)公開日 平成13年4月6日(2001.4.6)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 27/108  
21/8242

識別記号

F I

H 0 1 L 27/10

テームト\*(参考)

6 5 1 5 F 0 8 3  
6 2 1 C

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21)出願番号 特願平11-267625

(22)出願日 平成11年9月21日(1999.9.21)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 幸山 裕亮

神奈川県横浜市磯子区新杉田町8番地 株  
式会社東芝横浜事業所内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム(参考) 5F083 AD24 AD48 AD49 AD56 GA06

JA13 JA14 JA38 JA39 JA43

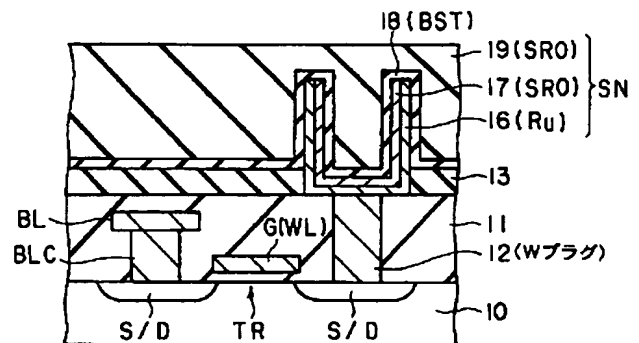
JA45 MA06 MA17 MA20 PR06

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】製造工程の増加やコストの高騰を抑え得て、キャパシタ容量を増大することが困難であった。

【解決手段】セルキャパシタにおいて、ストレージノード電極SNはRu膜16とSRO膜17の積層膜により構成され、キャパシタ絶縁膜はBST膜18により構成され、セルプレート電極はSRO膜19により構成されている。ストレージノード電極SNをRu膜16とSRO膜17との積層構造とすることにより、SRO膜とタングステンプラグ12とのコンタクト不良を防止できる。しかも、セルキャパシタの内壁面をSRO膜/BST膜/SRO膜構造とすることにより、工程数の増大を防止してキャパシタ容量を増大できる。



## 【特許請求の範囲】

【請求項 1】 金属又は導電性金属酸化物からなる第 1 の金属膜と金属又は導電性金属酸化物からなる第 2 の金属膜を積層して構成されたシリンダー型のストレージノード電極と、

このストレージノード電極の表面上に設けられたキャパシタ絶縁膜と、

このキャパシタ絶縁膜の表面上に設けられたプレート電極とを有し、

前記ストレージノード電極の外壁を構成する前記第 1 の金属膜と、前記ストレージノード電極の内壁を構成する第 2 の金属膜は互いに材料が相違することを特徴とする半導体記憶装置。

【請求項 2】 前記第 2 の金属膜とキャパシタ絶縁膜及び前記プレート電極間の容量は、前記第 1 の金属膜とキャパシタ絶縁膜及び前記プレート電極間の容量より大きいことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記キャパシタ絶縁膜の前記第 2 の金属膜上の酸化膜換算膜厚は、前記第 1 の金属膜上の酸化膜換算膜厚と異なることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】 前記キャパシタ絶縁膜の前記第 2 の金属膜上の酸化膜換算膜厚は、前記第 1 の金属膜上の酸化膜換算膜厚より小さいことを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 5】 前記キャパシタ絶縁膜の前記第 2 の金属膜上の誘電率は、前記第 1 の金属膜上の誘電率と異なることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 6】 前記キャパシタ絶縁膜の前記第 2 の金属膜上の誘電率は、前記第 1 の金属膜上の誘電率より大きいことを特徴とする請求項 5 記載の半導体記憶装置。

【請求項 7】 前記キャパシタ絶縁膜の前記第 2 の金属膜上の膜厚は、前記第 1 の金属膜上の膜厚と異なることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 8】 前記キャパシタ絶縁膜の前記第 2 の金属膜上の膜厚は、前記第 1 の金属膜上の膜厚より薄いことを特徴とする請求項 7 記載の半導体記憶装置。

【請求項 9】 前記ストレージノード電極の前記第 2 の金属膜上の前記キャパシタ絶縁膜と、前記ストレージノード電極の前記第 1 の金属膜上の前記キャパシタ絶縁膜は、誘電率、膜厚、結晶性及び組成などの物性値のうちの少なくとも 1 つの物性値により規定され、この少なくとも 1 つの物性値により前記ストレージノード電極の前記第 2 の金属膜上の前記キャパシタ絶縁膜を介して前記ストレージノード電極と前記プレート電極間に生じる容量が、前記ストレージノード電極の前記第 1 の金属膜上の前記キャパシタ絶縁膜を介して前記ストレージノード電極と前記プレート電極間に生じる容量より大きくなるように設定されることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 10】 前記第 1 の金属膜と前記キャパシタ絶縁膜は、共にペロブスカイト結晶構造の材料であることを特徴とする請求項 1 乃至 9 記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、例えばダイナミック RAM（以下、DRAM と称す）のように、キャパシタに電荷を蓄積することにより情報を記憶する半導体記憶装置に関する。

## 【0002】

【従来の技術】半導体記憶装置、特に DRAM は益々大規模集積化が進んでいる。それに伴い、単位記憶素子としてのメモセルの面積は一層縮小されている。このため、データのリード・ライトに十分なメモセルのキャパシタの容量を得るために様々な工夫がなされている。

【0003】最近、注目されている技術の一つに高誘電体絶縁膜の一つである (Br, Sr)TiO<sub>3</sub>（以下、BST 膜と称す）を用いた MIM (Metal Insulating Metal) キャパシタ技術がある。この技術としては、文献 1、例えば (K.Hieda et al., "All Perovskite Capacitor (APEC) Technology for (Br,Sr)TiO<sub>3</sub> Capacitor Scaling toward 0.10um Stacked DRAMs", IEDM Technical Digest, pp.807-810, 1998) に記載されているペロブスカイト・キャパシタがある。このペロブスカイト・キャパシタは、例えば 0.10 μm 世代の DRAM に適用されるものであり、その記憶容量等の電気的特性は、電極の材料に大きく影響される。

【0004】また、BST 膜と同じペロブスカイト結晶構造を有する導電性金属酸化物としての SrRuO<sub>2</sub> 膜（以下、SRO 膜と称す）をキャパシタ電極に適用することにより、キャパシタの電気的特性を向上させることに大きな期待が寄せられている。

【0005】一方、キャパシタの表面積を増大させる技術として、文献 2、例えば (W.Wakamiya et al., "Novel Stacked Capacitor Cell for 64Mb DRAM", Symposium on VLSI Technology Digest, pp.69-70, 1989) に記載されているシリンダー構造のキャパシタが有名である。

【0006】図 7 乃至図 12 は、SRO 膜をキャパシタ電極、BST 膜をキャパシタ絶縁膜として用いたシリンダー構造のキャパシタを形成する製造工程を示している。

【0007】図 7 に示すように、図示せぬ半導体基板上には、例えばシリコン酸化 (SiO<sub>2</sub>) 膜 101 が形成され、このシリコン酸化膜 101 には、下層に形成された図示せぬセルトランジスタのソース／ドレイン領域に一方に接続される例えばタングステン (W) からなるコンタクト用プラグ 102 が形成されている。前記シリコン酸化膜 101 上にはシリコン窒化 (SiN) 膜 103、シリコン酸化 (SiO<sub>2</sub>) 膜 104 が順次堆積される。

【0008】次に、図8に示すように、通常のリソグラフィ法及びRIE（反応性イオンエッチング）法により、SiN膜103、SiO<sub>2</sub>膜104がエッチングされ、前記プラグ102の上面を露出し、後にストレージノード電極が形成される溝105が形成される。

【0009】次に、図9に示すように、全面にSRO膜106が形成される。この後、CMP（化学的機械研磨）法を用いてSiO<sub>2</sub>膜104上のSRO膜106のみが除去され、溝105の内壁及び底部にのみSRO膜106が残存され、ストレージノード電極が形成される。

【0010】次に、図10に示すように、例えば緩衝HF溶液などを用いて、SiO<sub>2</sub>膜104がエッチングにより除去される。このとき、SiN膜103はエッチングストップとして機能する。この結果、上方に突出したシリンダー型のストレージノード電極が形成される。

【0011】次に、図11に示すように、全面にキャパシタ絶縁膜としてのBST膜107が形成され、図12に示すように、BST膜107上にセルプレート電極となるSRO膜108が形成される。

【0012】

【発明が解決しようとする課題】ところで、DRAMにおいては、データ“0”又は“1”をストレージノード電極に記憶する。このため、ストレージノード電極はセルトランジスタに接続される。この例において、ストレージノード電極としてのSRO膜106は前述したように、タングステンのプラグ102を介してセルトランジスタのソース／ドレイン領域の一方に接続される。つまり、プラグ102上にSRO膜106が堆積されている。ところが、SRO膜106は酸化膜であるため、成膜時にタングステンからなるプラグ102の表面が酸化され、コンタクト不良を引き起こすという問題を有している。そこで、このSRO膜106とプラグ102とを接続する際の問題を回避するために、種々の構成が考えられている。

【0013】図13は、タングステンからなるプラグ102の酸化を回避するため、Ru膜110によりストレージノード電極を形成した場合を示している。しかし、この構成の場合、前記文献1に記載されるように、BST膜のリーク電流が大きくなるため信頼性が低く、さらに酸化膜換算膜厚が大きい等の問題を有している。

【0014】一方、図14は、SRO膜106からなるストレージノード電極とタングステンからなるプラグ102の間にRu膜を111を形成し、このRu膜111を介してSRO膜106とプラグ102とを接続する構成を示している。しかし、この構成の場合、Ru膜111を形成するために、まず、プラグ102の表面をエッチングしてコンタクトホールの上、すなわちSiO<sub>2</sub>膜101の表面よりプラグ102の表面を下げ、次いでSiO<sub>2</sub>膜101の全面にRu膜111を形成し、この

Ru膜111をCMP法により研磨して、コンタクトホール内にRu膜111を残存させる必要がある。したがって、Ru膜111からなるプラグを形成するために、エッチング工程、CMP工程を追加しなくてはならない。このため、製造工程が増加し、コストが高騰する。さらに、製造工程の増加に伴い歩留まりの低下も懸念される。

【0015】本発明は、上記課題を解決するためになされたものであり、その目的とするところは製造工程の増加やコストの高騰を抑え得るとともに、キャパシタ容量を増大することが可能な半導体記憶装置を提供しようとするものである。

【0016】

【課題を解決するための手段】本発明は、上記課題を解決するため、金属又は導電性金属酸化物からなる第1の金属膜と金属又は導電性金属酸化物からなる第2の金属膜を積層して構成されたシリンダー型のストレージノード電極と、このストレージノード電極の表面上に設けられたキャパシタ絶縁膜と、このキャパシタ絶縁膜の表面上に設けられたプレート電極とを有し、前記ストレージノード電極の外壁を構成する前記第1の金属膜と、前記ストレージノード電極の内壁を構成する第2の金属膜は互いに材料が相違されている。

【0017】前記第2の金属膜とキャパシタ絶縁膜及び前記プレート電極間の容量は、前記第1の金属膜とキャパシタ絶縁膜及び前記プレート電極間の容量より大きくされている。

【0018】前記キャパシタ絶縁膜の前記第2の金属膜上の酸化膜換算膜厚は、前記第1の金属膜上の酸化膜換算膜厚と異なっている。

【0019】前記キャパシタ絶縁膜の前記第2の金属膜上の酸化膜換算膜厚は、前記第1の金属膜上の酸化膜換算膜厚より小さくされている。

【0020】前記キャパシタ絶縁膜の前記第2の金属膜上の誘電率は、前記第1の金属膜上の誘電率と異なっている。

【0021】前記キャパシタ絶縁膜の前記第2の金属膜上の誘電率は、前記第1の金属膜上の誘電率より大きくされている。

【0022】前記キャパシタ絶縁膜の前記第2の金属膜上の膜厚は、前記第1の金属膜上の膜厚と異なっている。

【0023】前記キャパシタ絶縁膜の前記第2の金属膜上の膜厚は、前記第1の金属膜上の膜厚より薄くされている。

【0024】前記キャパシタ絶縁膜の前記第2の金属膜上の結晶性は、前記第1の金属膜上の結晶性と異なっている。

【0025】前記キャパシタ絶縁膜の前記第2の金属膜上の組成は、前記第1の金属膜上の組成と異なっている。

る。

【0026】前記ストレージノード電極の前記第2の金属膜上の前記キャパシタ絶縁膜と、前記ストレージノード電極の前記第1の金属膜上の前記キャパシタ絶縁膜は、誘電率、膜厚、結晶性及び組成などの物性値のうちの少なくとも1つの物性値により規定され、この少なくとも1つの物性値により前記ストレージノード電極の前記第2の金属膜上の前記キャパシタ絶縁膜を介して前記ストレージノード電極と前記プレート電極間に生じる容量が、前記ストレージノード電極の前記第1の金属膜上の前記キャパシタ絶縁膜を介して前記ストレージノード電極と前記プレート電極間に生じる容量より大きくするように設定されている。

【0027】前記第2の金属膜と前記キャパシタ絶縁膜は、共にペロブスカイト結晶構造の材料である。

【0028】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0029】図1は、本発明の一実施例の構成を示している。図1に示すように、半導体基板10内にはセルトランジスタTRを構成するソース／ドレイン領域S/Dが形成されている。これらソース／ドレイン領域S/Dの相互間に位置するチャネル領域上には、ゲート酸化膜を介してワード線としてのゲート電極Gが形成されている。ソース／ドレイン領域S/Dの一方はビット線コンタクトBLCを介してビット線BLに接続されている。これらセルトランジスタTR及びBLは、例えばSiO<sub>2</sub>膜11により覆われている。また、ソース／ドレイン領域S/Dの他方は、例えばタングステンのプラグ12を介してセルキャパシタに接続されている。このセルキャパシタは例えばシリンダー型のストレージノード電極である。このセルキャパシタにおいて、ストレージノード電極SNはRu膜16とSRO膜17の積層膜により構成されている。すなわち、ストレージノード電極SNの外壁はRu膜16により構成され、内壁はSRO膜17により構成されている。キャパシタ絶縁膜はBST膜18により構成され、セルプレート電極はSRO膜19により構成されている。

【0030】次に、図2乃至図6を参照して、上記構成のセルキャパシタの製造方法について説明する。尚、図2乃至図6において、図1と同一部分には同一符号を付す。

【0031】まず、図2に示すように、コンタクト用のタングステンからなるプラグ12が形成されたSiO<sub>2</sub>膜上にSiN膜13、SiO<sub>2</sub>膜14が順次堆積される。

【0032】次に、図3に示すように、通常のリソグラフィ法及びRIE（反応性イオン）法により、SiN膜13、SiO<sub>2</sub>膜14がエッチングされ、前記プラグ12の上面を露出し、後にストレージノード電極が形成さ

れる溝15が形成される。

【0033】次に、図4に示すように、全面にRu膜16が形成され、このRu膜16上にSRO膜17が堆積される。この後、CMP（化学的機械研磨）法を用いてSiO<sub>2</sub>膜104上のSRO膜17及びRu膜16のみが除去され、溝15の内壁及び底部にのみRu膜16及びSRO膜17が残存され、Ru膜16とSRO膜17の積層膜からなるストレージノード電極が形成される。

【0034】次に、図5に示すように、緩衝HF溶液などを用いて、SiO<sub>2</sub>膜14がエッチングにより除去される。このとき、SiN膜13はエッチングストッパーとして機能する。この結果、内壁がSRO膜17で外壁がRu膜16からなる上方に飛び出たシリンダー型ストレージノード電極SNが形成される。

【0035】次に、図6に示すように、全面にキャパシタ絶縁膜としてのBST膜18が堆積され、このBST膜18上に、図1に示すように、セルプレート電極となるSRO膜19が堆積されることにより、セルキャパシタが形成される。

【0036】上記実施例によれば、セルキャパシタを構成するストレージノード電極はRu膜16、SRO膜17の積層膜により構成され、SRO膜17はRu膜16を介してタングステンのプラグ12に接続されている。つまり、SRO膜17を堆積する工程において、下地がRu膜16となっており、成膜時にタングステンのプラグ12が酸化されることを防止できる。

【0037】また、Ru膜16は非常に酸化されにくい物質であり、仮に酸化されたとしても酸化膜自体が導電体であるため、タングステンのプラグ12とのコンタクト不良を引き起こすことがない。

【0038】さらに、Ru膜16、SRO膜17は連続した製造工程で成膜することができる。しかも、Ru膜16、SRO膜17は連続してCMP（化学的機械研磨）により研磨することが可能である。したがって、製造工程の増加を防止して工程コストの高騰を抑えることができるとともに、歩留の低下を防止できる。

【0039】また、ストレージノード電極はRu膜16、SRO膜17の積層膜により構成され、シリンダー型のストレージノード電極のSRO膜17とBST膜18とからなる内壁はAPEC（All Perovskite Capacitor）構造となっている。このため、ストレージノード電極を全てRu膜で形成する場合に比べて、多くの電荷量を蓄積することができる。すなわち、この実施例のように、シリンダー型のキャパシタの内面構造をSRO膜17、BST膜18、SRO膜19の積層構造とすることにより、従来と同等のサイズでキャパシタ容量を増大することができる。

【0040】上記実施例の構成によりキャパシタ容量が増大する理由は、次のように考えられる。

【0041】まず、SRO膜/BST膜/SRO膜から

なる従来のキャパシタと、Ru膜/BST膜/Ru膜からなる従来のキャパシタの特性の相違について説明する。前述したように、SRO膜のリーク電流が低いことは、前記文献1のFig. 2に記載されている通りである。また、比誘電率は、Ru膜の場合約300であるのに対して、SRO膜の場合約360となることを見出した。この理由は、前記文献1に記載されるように、Ru膜の場合BST膜との界面に低誘電率層が形成されるが、SRO膜の場合、SRO膜もBST膜も共にペロブスカイト結晶であるため、格子マッチングが良好で低誘電率層が形成されないためと考えられる。したがって、本実施例において、SRO膜17上のBST膜18は、Ru膜16上のBST膜18と比べて、物理的な膜厚が同じであっても誘電率が大きく、つまり、酸化膜換算膜厚が小さい。したがって、単位面積当たりに蓄積される容量が大きいこととなる。

【0042】また、SRO膜は同じ物理膜厚下でリーク電流が低い、キャパシタの性能で決まるリーク電流の値に膜厚を合わせると、SRO膜17上のBST膜18はより薄膜化できる。仮に、誘電率が同じである場合、SRO膜17上のBST膜18は、Ru膜16上のBST膜18に比べて膜厚が薄い、つまり、酸化膜換算膜厚が小さい。したがって、単位面積当たりに蓄積される容量が大きいことになる。

【0043】さらに、BST膜の結晶性は、下地の材料に大きく依存し、SRO膜上は結晶化し易い。つまり、SRO膜上でのBST膜の結晶化温度が低いことが、文献3 (M. Kiyotoshi et al., "In-situ Multi-step (IMS) CVD Process of (Ba,Sr)TiO<sub>3</sub> using Hot Wall Batch type Reactor for DRAM Capacitor Dielectrics", Symposium on VLSI Technology Digest of Technical Papers, pp. 101-102, 1999) に記載されている。BST膜の成膜は、比較的高温で行い成膜時に結晶化させる方法と、上記文献3に記載されるように、先ず、比較的低温により結晶化していない膜を形成し、その後、アニールにより結晶化させるIMS法などが研究されているが、最適な方法はまだ見出されていない。

【0044】しかし、本実施例のように、Ru膜16上とSRO膜17上にBST膜18を形成する場合、Ru膜16上とSRO膜17上でBST膜18の結晶化温度が相違する。したがって、SRO膜17上におけるBST膜18の結晶性とRu膜16上におけるBST膜18の結晶性は互いに相違すると考えられる。特に、SRO膜上でのBST膜の結晶化温度はRu膜16上での結晶化温度より低いと考えられる。このため、SRO膜17上のBST膜18の結晶性の方が、Ru膜16上のBST膜18の結晶性より良好と考えられる。

【0045】また、一般に、BST膜の組成と言った場合、(Br+Sr)/Tiのことを示し、これをA/B比と言うことが多い。このA/B比が約1の時、誘電率

が最も大きくなることが知られている。Ru膜との界面に形成される低誘電率層はA/B比が約1からずれたBST膜、あるいは微量のRu膜が混入したBST膜である可能性があるが、具体的な解明には未だ至っていない。しかし、本実施例のように、SRO膜17上におけるBST膜18の組成は、Ru膜16上におけるBST膜18の組成と互いに相違し、且つ、これら組成の相違により、キャパシタ容量が増大していると考えられる。

【0046】尚、上記実施例において、ストレージノード電極はRu膜16とSRO膜17の積層膜により構成し、キャパシタ絶縁膜をBST膜18により構成した。しかし、ストレージノード電極の材料はこれらに限定されるものではなく、他の金属又は導電性金属酸化物の適用できる。さらに、ストレージノード電極及びキャパシタ絶縁膜は、Ru膜16、SRO膜17、BST膜18の組み合わせに限定されるものではなく、例えば次の条件を満足し、キャパシタ容量を増大できる材料であればよい。

【0047】(a) ストレージノード電極の内壁上のキャパシタ絶縁膜の誘電率が外壁上の誘電率より大きい。

【0048】(b) ストレージノード電極の内壁上のキャパシタ絶縁膜の酸化膜換算膜厚が外壁上のキャパシタ絶縁膜の酸化膜換算膜厚より小さい。

【0049】(c) ストレージノード電極の内壁上のキャパシタ絶縁膜の膜厚が外壁上のキャパシタ絶縁膜の膜厚より小さい。

【0050】(d) ストレージノード電極の内壁上のキャパシタ絶縁膜の結晶性と外壁上のキャパシタ絶縁膜の結晶性が異なる。

【0051】(e) ストレージノード電極の内壁上のキャパシタ絶縁膜の組成と外壁上のキャパシタ絶縁膜の組成が異なる。

【0052】(f) ストレージノード電極の内壁上のキャパシタ絶縁膜の誘電率、膜厚、結晶性及び組成などの物性値の少なくとも1つは、ストレージノード電極の外壁上のキャパシタ絶縁膜の誘電率、膜厚、結晶性及び組成などの物性値の少なくとも1つに対して、ストレージノード電極とセルプレート電極間に生じる容量が大きくなるような物性値である。

【0053】その他、本発明は上記実施例に限定されるものではなく、本発明の要旨を変えない範囲で種々変形実施可能なことは勿論である。

【0054】

【発明の効果】以上、詳述したようにこの発明によれば、製造工程の増加やコストの高騰を抑え得るとともに、キャパシタ容量を増大することが可能な半導体記憶装置を提供できる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す断面図。

【図2】図1に示すセルキャパシタの製造工程の一例を

示す断面図。

【図 3】 図 2 に続く製造工程を示す断面図。

【図 4】 図 3 に続く製造工程を示す断面図。

【図 5】 図 4 に続く製造工程を示す断面図。

【図 6】 図 5 に続く製造工程を示す断面図。

【図 7】 従来のセルキャパシタの製造工程の一例を示す断面図。

【図 8】 図 7 に続く製造工程を示す断面図。

【図 9】 図 8 に続く製造工程を示す断面図。

【図 10】 図 9 に続く製造工程を示す断面図。

【図 11】 図 10 に続く製造工程を示す断面図。

【図 12】 図 11 に続く製造工程を示す断面図。

【図 13】 従来のセルキャパシタの他の例を示す断面図。

図。

【図 14】 従来のセルキャパシタの他の例を示す断面図。

【符号の説明】

12…タングステンのプラグ、

16…Ru 膜、

17…SRO 膜、

SN…ストレージノード電極、

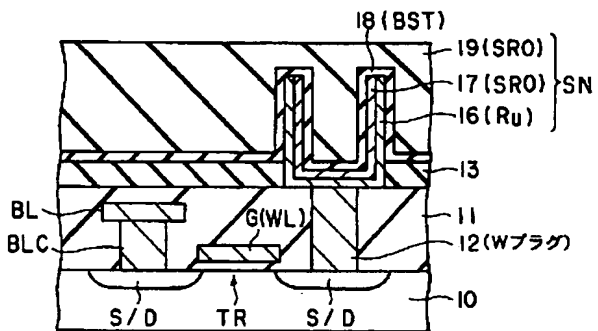
18…BST 膜 (キャパシタ絶縁膜)、

19…SRO 膜 (セルプレート電極)、

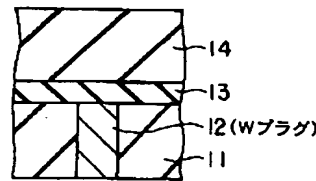
CC…セルキャパシタ、

TR…セルトランジスタ。

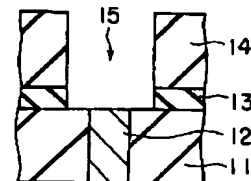
【図 1】



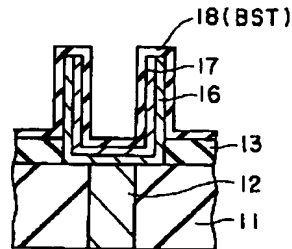
【図 2】



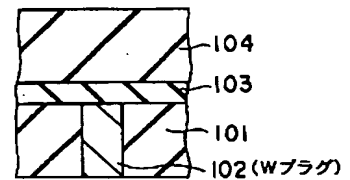
【図 3】



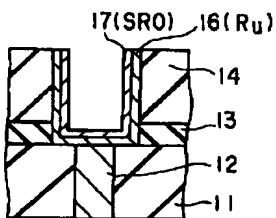
【図 6】



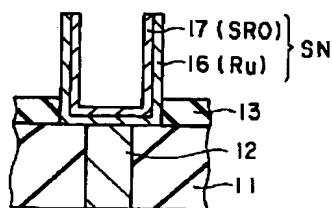
【図 7】



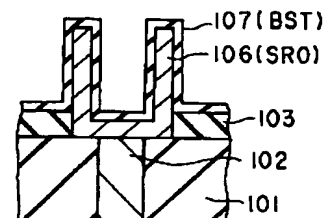
【図 4】



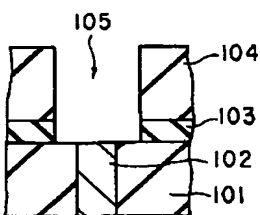
【図 5】



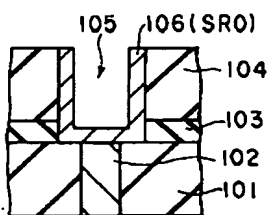
【図 11】



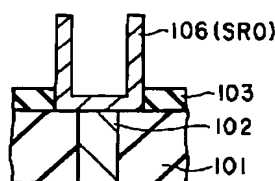
【図 8】



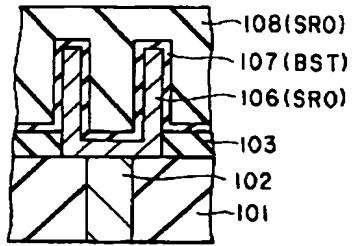
【図 9】



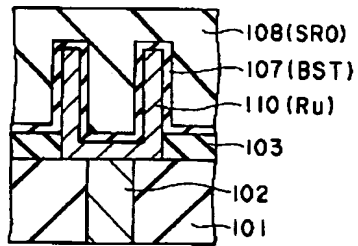
【図 10】



【図 12】



【図 13】



【図 14】

